

日 本 国 特 許 庁
JAPAN PATENT OFFICE

J1050 U.S. PTO

09/939751



08/28/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 2月13日

出 願 番 号

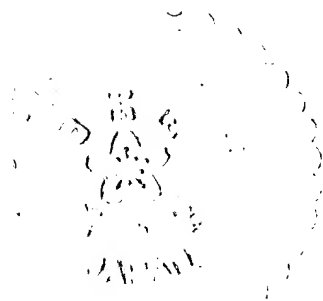
Application Number:

特願2001-035177

出 願 人

Applicant(s):

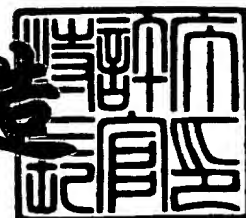
富士通株式会社



2001年 6月12日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3054807

【書類名】 特許願

【整理番号】 0100023

【提出日】 平成13年 2月13日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 15/78 510

【発明の名称】 マイクロコンピュータおよびコンピュータシステム

【請求項の数】 8

【発明者】

【住所又は居所】 東京都品川区大崎2丁目8番8号 富士通デバイス株式会社内

【氏名】 鳥丸 泰弘

【発明者】

【住所又は居所】 東京都品川区大崎2丁目8番8号 富士通デバイス株式会社内

【氏名】 吉村 博

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100104190

【弁理士】

【氏名又は名称】 酒井 昭徳

【手数料の表示】

【予納台帳番号】 041759

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

特 2 0 0 1 - 0 3 5 1 7 7

【包括委任状番号】 9906241

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 マイクロコンピュータおよびコンピュータシステム

【特許請求の範囲】

【請求項 1】 発振信号を出力する発振回路と、

常時、外部から所定の周期でウェイクアップ信号が供給されるウェイクアップ端子と、

前記発振回路の発振を停止させるための発振停止信号を出力するとともに、前記発振回路の発振停止時に前記ウェイクアップ端子を介して入力されたウェイクアップ信号に基づいて前記発振停止信号を解除するクロック制御回路と、

を備えたことを特徴とするマイクロコンピュータ。

【請求項 2】 前記クロック制御回路は、前記発振回路から発振信号が出力されているときに受け取ったウェイクアップ信号を無効とすることを特徴とする請求項 1 に記載のマイクロコンピュータ。

【請求項 3】 前記クロック制御回路により前記発振停止信号が解除されると、前記発振回路の発振が停止する直前の内部レジスタ値を用いて、前記発振回路の発振が停止する直前に実行された命令のつぎの命令から処理を実行することを特徴とする請求項 1 または 2 に記載のマイクロコンピュータ。

【請求項 4】 前記ウェイクアップ信号が割込み要求信号として入力される割込み制御回路をさらに備え、

外部割込み要求許可時に前記発振回路の発振が停止した場合、前記クロック制御回路により前記発振停止信号が解除されると、前記割込み制御回路への割込み要求信号の入力に基づいて割込み処理を実行することを特徴とする請求項 1 または 2 に記載のマイクロコンピュータ。

【請求項 5】 前記ウェイクアップ信号の入力に基づいて特定のアドレスを出力するアドレス発生回路をさらに備え、

前記クロック制御回路により前記発振停止信号が解除されると、前記アドレス発生回路は前記特定のアドレスを出力し、前記特定のアドレスに対応する処理を実行することを特徴とする請求項 1 または 2 に記載のマイクロコンピュータ。

【請求項 6】 前記発振回路、前記クロック制御回路および前記割込み制御

回路を同一の L S I チップに搭載した 1 チップ・マイコンであることを特徴とする請求項 4 に記載のマイクロコンピュータ。

【請求項 7】 前記発振回路、前記クロック制御回路および前記アドレス発生回路を同一の L S I チップに搭載した 1 チップ・マイコンであることを特徴とする請求項 5 に記載のマイクロコンピュータ。

【請求項 8】 常時、所定の周期でウェイクアップ信号を供給するウェイクアップ信号供給手段と、

発振信号を出力する発振回路、前記ウェイクアップ信号が入力されるウェイクアップ端子、および前記発振回路の発振を停止させるための発振停止信号を出力するとともに、前記発振回路の発振停止時に前記ウェイクアップ端子を介して入力されたウェイクアップ信号に基づいて前記発振停止信号を解除するクロック制御回路を有するマイクロコンピュータと、

を備えたことを特徴とするコンピュータシステム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、マイクロコンピュータおよびコンピュータシステムに関し、特に原発振の停止解除機能を備えた、たとえば車載用の 1 チップ・マイクロコンピュータおよびそれを用いたコンピュータシステムに関する。

【0002】

一般に、マイクロコンピュータの異常動作の一つとしてデッドロックと呼ばれる状態がある。これは、CPU の制御によらず、電源電圧の急激な変化や外来ノイズ等の影響によって一部のラッチ回路がデータ化けを起こしたために予想外に原発振が停止し、ストップ状態に遷移した状態のことである。自動車等に積載される電子機器を制御するための 1 チップ・マイクロコンピュータでは、デッドロックしないフェイルセーフ機能を内蔵していることが非常に重要である。

【0003】

【従来の技術】

従来、デッドロックに対するフェイルセーフ機能として、マイクロコンピュー

タのリセット端子に外部からリセット信号を入力してCPUを初期状態に戻す外部リセット機能がある。また、マイクロコンピュータの外部割込み（INT）端子またはノンマスカブル割込み（NMI）端子に外部から割込み要求信号を入力し、割込みを発生させて割込み処理をおこなわせる外部割込み機能またはノンマスカブル割込み機能が知られている。

【0004】

【発明が解決しようとする課題】

しかしながら、上述した外部リセット機能では、リセットにより内部レジスタ値が初期化されてしまうので、ストップ解除後に必要となるデータが消失してしまうという問題点がある。そこで、リセット信号が入力されても必要リソース機能については初期化しない方法も考えられるが、マイクロコンピュータの用途ごとに初期化しないリソース機能が異なるため現実的でない。

【0005】

また、上述した外部割込み機能では、ソフトウェアにより外部割込み許可が設定された後にストップ状態に遷移した場合にのみ、割込み要求信号の入力によってストップ状態が解除されるため、割込み許可の設定前にストップ状態となった場合には、それを解除することはできないという問題点がある。また、ノンマスカブル割込み機能では、ストップ状態に限らず正常なラン状態においても無条件に割込み処理が実行されるため、通常のラン状態において割込み処理が実行されることによって不要なコードが実行されるという問題点がある。

【0006】

本発明は、上記問題点に鑑みてなされたものであって、ソフトウェア要因が介在することなくハードウェアのみでストップ状態を解除することができ、それによってデッドロック状態を回避するフェイルセーフ機能を備えたマイクロコンピュータを提供することを目的とする。

【0007】

【課題を解決するための手段】

上記目的を達成するため、本発明にかかるマイクロコンピュータは以下のよう
な構成となっている。すなわち、マイクロコンピュータはウェイクアップ（WA

KE) 端子を有し、そのウェイクアップ端子に外部から適当な周期でウェイクアップ信号が供給される。ウェイクアップ信号はクロック制御回路に供給される。発振回路には、発振端子を介して振動子が接続される。

【 0 0 0 8 】

通常のラン状態では、発振回路からクロック制御回路に発振信号が供給される。クロック制御回路はその発振信号に基づいてメインクロック信号を生成する。また、通常のラン状態では、その動作状態に影響をおよぼさないようにするため、クロック制御回路はウェイクアップ信号を無視する。

【 0 0 0 9 】

ストップ状態では、クロック制御回路は発振回路に発振停止信号を供給し、それによって発振回路は発振を停止している。この状態で、クロック制御回路にウェイクアップ信号が入力すると、クロック制御回路は発振停止信号を強制的に解除する。発振停止信号が解除されると、発振回路は発振を再開する。マイクロコンピュータは、発振安定待ち状態を経て通常のラン状態となる。

【 0 0 1 0 】

また、本発明にかかるマイクロコンピュータは、ソフトウェアにより外部割込み許可が設定された状態で、外部割込み端子を介して外部から割込み制御回路に割込み要求信号が供給されると、割込み処理を実行する。また、マイクロコンピュータは、リセット端子を介して外部からリセット信号が供給されると、初期状態に復帰する。

【 0 0 1 1 】

この発明によれば、ストップ状態において、クロック制御回路はウェイクアップ信号の入力に基づいて発振停止信号を強制的に解除するため、発振回路は、通常のラン状態から、電源電圧の急激な変化や外来ノイズ等の影響によって予想外に原発振が停止するストップ状態に遷移しても、ウェイクアップ信号の入力によって、速やかに発振を再開する。

【 0 0 1 2 】

また、本発明にかかるコンピュータシステムは、上記マイクロコンピュータと、常時、所定の周期でウェイクアップ信号を供給するウェイクアップ信号供給手

段と、を備える。

【 0 0 1 3 】

【発明の実施の形態】

以下に、本発明の実施の形態にかかるマイクロコンピュータおよびコンピュータシステムについて図面を参照しつつ詳細に説明する。

【 0 0 1 4 】

(本実施の形態の概要)

本実施の形態にかかるマイクロコンピュータは以下のような構成となっている。図 1 は、本実施の形態にかかるマイクロコンピュータの要部を示すブロック構成図である。また、図 2 はその状態遷移図である。マイクロコンピュータはウェイクアップ (WAKE) 端子 1 1 を有し、そのウェイクアップ端子 1 1 に外部から適当な周期でウェイクアップ信号 2 1 が供給される。ウェイクアップ信号 2 1 はクロック制御回路 1 2 に供給される。発振回路 1 3 には、X 0 および X 1 で示す発振端子 1 4, 1 5 を介して図示しない振動子が接続される。

【 0 0 1 5 】

通常のラン状態では、発振回路 1 3 からクロック制御回路 1 2 に発振信号 (HCLK) 2 2 が供給される。クロック制御回路 1 2 はその発振信号 2 2 に基づいてメインクロック信号 2 3 を生成し、それをマイクロコンピュータ内の図示しない種々の回路に供給する。また、通常のラン状態では、その動作状態に影響をおよぼさないようにするため、クロック制御回路 1 2 はウェイクアップ信号 2 1 を無視する。

【 0 0 1 6 】

ストップ状態では、クロック制御回路 1 2 は発振回路 1 3 に発振停止信号 (KLHI) 2 6 を供給し、それによって発振回路 1 3 は発振を停止している。この状態で、クロック制御回路 1 2 にウェイクアップ信号 2 1 が入力すると、クロック制御回路 1 2 は発振停止信号 2 6 を強制的に解除する。発振停止信号 2 6 が解除されると、発振回路 1 3 は発振を再開する。マイクロコンピュータは、発振安定待ち状態を経て通常のラン状態となる。

【 0 0 1 7 】

また、マイクロコンピュータは、ソフトウェアにより外部割込み許可が設定された状態で、外部割込み（INT）端子16を介して外部から割込み制御回路17に割込み要求信号24が供給されると、割込み処理を実行する。また、マイクロコンピュータは、リセット（RSTX）端子18を介して外部からリセット信号25が供給されると、初期状態に復帰する。

【0018】

（実施の形態1）

図3は、本発明の実施の形態1にかかるマイクロコンピュータの要部を示すブロック構成図である。また、図4はその状態遷移図である。図3に示すマイクロコンピュータ1は、図1に示すマイクロコンピュータと同じ構成のものであるため、重複する説明を省略する。発振端子14、15には振動子2が接続される。振動子2は、たとえば発振周波数が4MHzの水晶振動子である。また、ウェイクアップ端子11には、ウェイクアップ信号供給手段3が接続される。

【0019】

ウェイクアップ信号供給手段3は、常時、一定周期、たとえば4秒ごとに電位レベルが相対的に高いHレベルの信号を生成し、それをウェイクアップ端子11に供給する。ウェイクアップ端子11から入力された信号はウェイクアップ信号21としてクロック制御回路12に供給される。これら振動子2およびウェイクアップ信号供給手段3はマイクロコンピュータ1の外部に設けられる。なお、外部割込み端子、割込み制御回路およびリセット端子については図示省略している。

【0020】

クロック制御回路12は、通常のラン状態、すなわち発振回路13から発振信号22が供給されている状態では、入力されたウェイクアップ信号21を無視する。つまり、通常のラン状態においてクロック制御回路12にウェイクアップ信号21が入力されても、マイクロコンピュータ1の状態はそのままであり、ストップ状態に遷移しない。クロック制御回路12は、一部のラッチ回路でデータ化けが発生するなどの原因によりマイクロコンピュータ1がストップ状態に遷移する場合、発振回路13に発振停止信号26を供給する。発振停止信号26の入力

によって、発振回路 1 3 は発振を停止し、マイクロコンピュータ 1 はストップ状態に遷移する。その際、内部レジスタ値はそのまま保持され、I/O 状態が保存される。

【 0 0 2 1 】

その際、ソフトウェアにより外部割込み要求が禁止されたままストップ状態に遷移すると、図示しない外部割込み端子からマイクロコンピュータ 1 に割込み要求信号が入力されても割込みは発生しない。つまり、その場合には、外部割込みによってストップ状態を解除することはできない。しかし、本実施の形態では、クロック制御回路 1 2 は、ストップ状態のときにウェイクアップ信号 2 1 が入力されると、発振停止信号 2 6 を強制的に解除する機能を備えている。

【 0 0 2 2 】

そのため、ウェイクアップ信号 2 1 の入力によって発振停止信号 2 6 が強制的に解除され、発振回路 1 3 が発振を再開する。発振再開後、マイクロコンピュータ 1 は、発振安定待ち状態を経て通常のラン状態に復帰し、ストップ中に保持されていたレジスタ値等を用いて、ストップ状態になる直前に実行した命令のつぎの命令から処理を再開する。

【 0 0 2 3 】

上述した実施の形態 1 によれば、ストップ状態において、クロック制御回路 1 2 はウェイクアップ信号 2 1 の入力に基づいて発振停止信号 2 6 を強制的に解除するため、発振回路 1 3 は、通常のラン状態から外部割込み要求禁止のままストップ状態に遷移しても、ウェイクアップ信号 2 1 の入力によって、速やかに発振を再開する。したがって、ソフトウェアによらず、ハードウェアのみで原発振の停止状態を解除することができるので、デッドロック状態を回避することができる。

【 0 0 2 4 】

(実施の形態 2)

図 5 は、本発明の実施の形態 2 にかかるマイクロコンピュータの要部を示すブロック構成図である。また、図 6 はその状態遷移図である。実施の形態 2 が実施の形態 1 と異なるのは、実施の形態 2 にかかるマイクロコンピュータ 1 0 1 にお

いては、ウェイクアップ信号供給手段 3 から供給された H レベルの信号がウェイクアップ信号 2 1 としてクロック制御回路 1 2 に供給されるとともに、割込み要求信号 2 4 として外部割込み端子 1 6 を介して割込み制御回路 1 7 にも供給されるように構成されている点である。なお、実施の形態 1 と同じ構成については同一の符号を付して説明を省略する。

【 0 0 2 5 】

このような構成となっていることによって、通常のラン状態から、ソフトウェアにより外部割込み要求が許可された後にストップ状態に遷移した場合に、ウェイクアップ信号 2 1 の入力によって発振停止信号 2 6 が強制的に解除され、発振回路 1 3 が発振を再開する。その際、割込み制御回路 1 7 に割込み要求信号 2 4 が入力されているので、たとえばその割込み要求信号 2 4 の立ち上がりエッジを検出して割込みが発生し、発振安定待ち状態を経た後、図示しない CPU は割込み処理を実行する。

【 0 0 2 6 】

ソフトウェアにより外部割込み要求が禁止されたままストップ状態に遷移した場合には、原発振の再開と同時に割込み制御回路 1 7 に割込み要求信号 2 4 が入力されても割込みは発生しない。したがって、この場合には実施の形態 1 と同様にマイクロコンピュータ 1 0 1 は通常のラン状態に復帰する。また、実施の形態 2 では、通常のラン状態において外部割込み要求が許可された場合には、外部割込み端子 1 6 から割込み要求信号 2 4 として入力された信号によって割込みが発生する。

【 0 0 2 7 】

上述した実施の形態 2 によれば、ストップ状態において、クロック制御回路 1 2 はウェイクアップ信号 2 1 の入力に基づいて発振停止信号 2 6 を強制的に解除するため、発振回路 1 3 は、通常のラン状態からストップ状態に遷移しても、ウェイクアップ信号 2 1 の入力によって、速やかに発振を再開する。その際、割込み要求信号 2 4 が割込み制御回路 1 7 に供給されるので、外部割込み要求の許可後にストップ状態に遷移した状態から原発振が再開すると、マイクロコンピュータ 1 0 1 は割込み処理を実行する。したがって、ソフトウェアによらず、ハード

ウェアのみで原発振の停止状態を解除し、割込み処理を実行させることができるので、デッドロック状態を回避することができる。

【 0 0 2 8 】

（実施の形態 3）

図 7 は、本発明の実施の形態 3 にかかるマイクロコンピュータの要部を示すブロック構成図である。また、図 8 はその状態遷移図である。実施の形態 3 が実施の形態 1 と異なるのは、実施の形態 3 にかかるマイクロコンピュータ 2 0 1 が、所定のアドレスを出力するアドレス発生回路 1 9 を備えており、ウェイクアップ信号供給手段 3 から供給された H レベルの信号がウェイクアップ信号 2 1 としてクロック制御回路 1 2 に供給されるとともに、アドレス発生回路 1 9 にも供給されるように構成されている点である。なお、実施の形態 1 と同じ構成については同一の符号を付して説明を省略する。

【 0 0 2 9 】

このような構成となっていることによって、通常のラン状態から外部割込み要求禁止のままストップ状態に遷移した場合に、ウェイクアップ信号 2 1 の入力によって発振停止信号 2 6 が強制的に解除され、発振回路 1 3 が発振を再開する。そして、マイクロコンピュータ 2 0 1 は発振安定待ち状態に遷移する。また、原発振の再開と同時に、アドレス発生回路 1 9 にウェイクアップ信号 2 1 がアドレス発生のトリガ信号として入力されているので、アドレス発生回路 1 9 は、あらかじめ設定された特定のアドレス、特に限定しないが、たとえば F F A 0 0 0 h を出力する。それによって、発振安定待ち状態を経た後、図示しない C P U はたとえばメモリ空間 F F A 0 0 0 h の命令から処理を実行する。

【 0 0 3 0 】

上述した実施の形態 3 によれば、ストップ状態において、クロック制御回路 1 2 はウェイクアップ信号 2 1 の入力に基づいて発振停止信号 2 6 を強制的に解除するため、発振回路 1 3 は、通常のラン状態から外部割込み要求禁止のままストップ状態に遷移しても、ウェイクアップ信号 2 1 の入力によって、速やかに発振を再開する。その際、アドレス発生回路 1 9 から特定のアドレスが出力されるので、マイクロコンピュータ 2 0 1 はそのアドレスに対応するメモリ空間の命令か

ら処理を実行する。したがって、ソフトウェアによらず、ハードウェアのみで原発振の停止状態を解除し、特定のアドレスのメモリ空間の命令から処理を実行させることができるので、デッドロック状態を回避することができる。

【 0 0 3 1 】

以上において本発明は、上述した各実施の形態に限らず、種々変更可能である。たとえば、ストップ状態の解除後にプログラムが暴走した場合のフェイルセーフ機能として、発振回路 1 3 が発振しているときには常に動作する自動起動型ウォッチドッグタイマがマイクロコンピュータに内蔵された構成としてもよい。また、本発明は、1 チップ・マイコンに限らず、同一の L S I パッケージに搭載したマイコン、1 ボード・マイコンやシステム・マイコンにも適用できる。また、実施の形態 3 においてアドレス発生回路 1 9 をマイクロコンピュータ 2 0 1 の外に設けてもよい。

【 0 0 3 2 】

【発明の効果】

本発明によれば、ストップ状態において、クロック制御回路はウェイクアップ信号の入力に基づいて発振停止信号を強制的に解除するため、発振回路は、通常のラン状態から、電源電圧の急激な変化や外来ノイズ等の影響によって予想外に原発振が停止するストップ状態に遷移しても、ウェイクアップ信号の入力によって、速やかに発振を再開する。したがって、ソフトウェアによらず、ハードウェアのみで原発振の停止状態を解除することができるので、デッドロック状態を回避するフェイルセーフ機能を備えたマイクロコンピュータが得られるという効果を奏する。

【図面の簡単な説明】

【図 1】

本発明の実施の形態にかかるマイクロコンピュータの要部を示すブロック構成図である。

【図 2】

本発明の実施の形態にかかるマイクロコンピュータの動作状態の遷移を説明するための状態遷移図である。

【図 3】

本発明の実施の形態 1 にかかるマイクロコンピュータの要部を示すブロック構成図である。

【図 4】

実施の形態 1 にかかるマイクロコンピュータの動作状態の遷移を説明するための状態遷移図である。

【図 5】

本発明の実施の形態 2 にかかるマイクロコンピュータの要部を示すブロック構成図である。

【図 6】

実施の形態 2 にかかるマイクロコンピュータの動作状態の遷移を説明するための状態遷移図である。

【図 7】

本発明の実施の形態 3 にかかるマイクロコンピュータの要部を示すブロック構成図である。

【図 8】

実施の形態 3 にかかるマイクロコンピュータの動作状態の遷移を説明するための状態遷移図である。

【符号の説明】

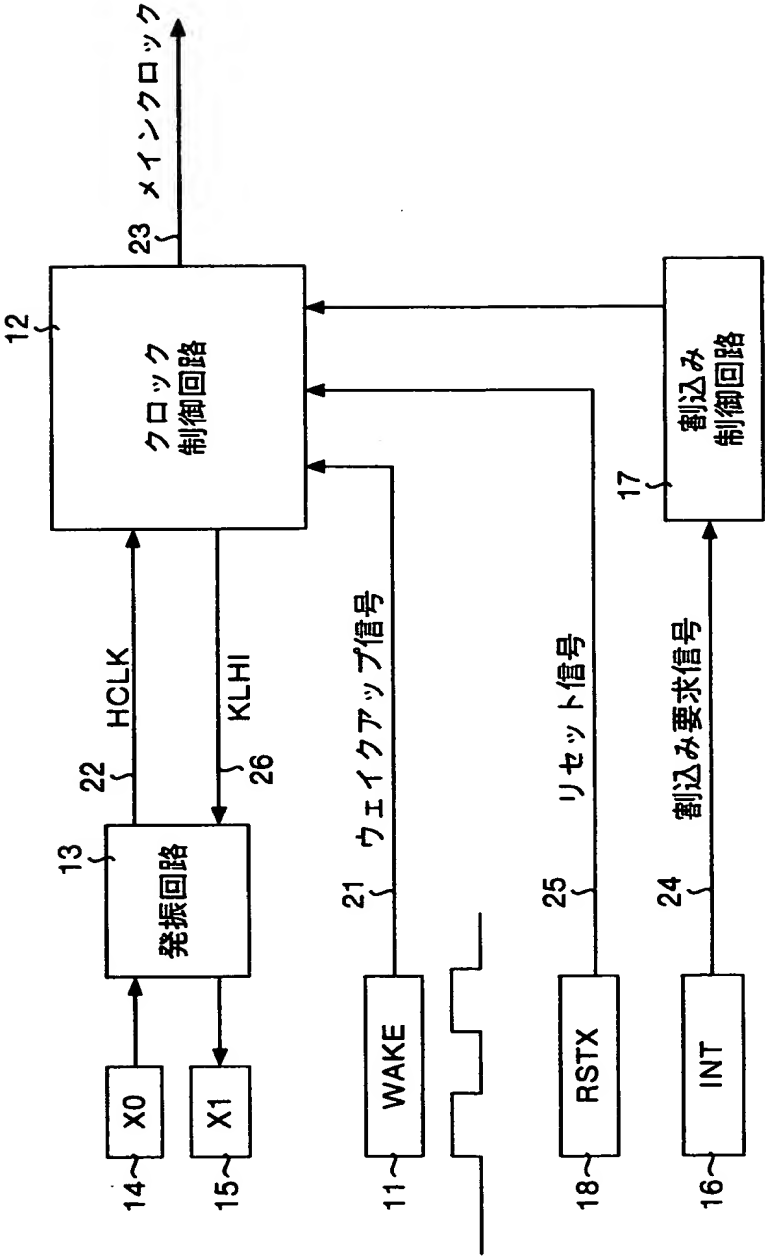
- 1, 1 0 1, 2 0 1 マイクロコンピュータ
- 3 ウェイクアップ信号供給手段
- 1 1 ウェイクアップ端子
- 1 2 クロック制御回路
- 1 3 発振回路
- 1 4, 1 5 発振端子
- 1 6 外部割込み端子
- 1 7 割込み制御回路
- 1 8 リセット端子
- 1 9 アドレス発生回路

- 2 1 ウェイクアップ信号
- 2 2 発振信号
- 2 3 メインクロック信号
- 2 4 割込み要求信号
- 2 5 リセット信号
- 2 6 発振停止信号

【書類名】 図面

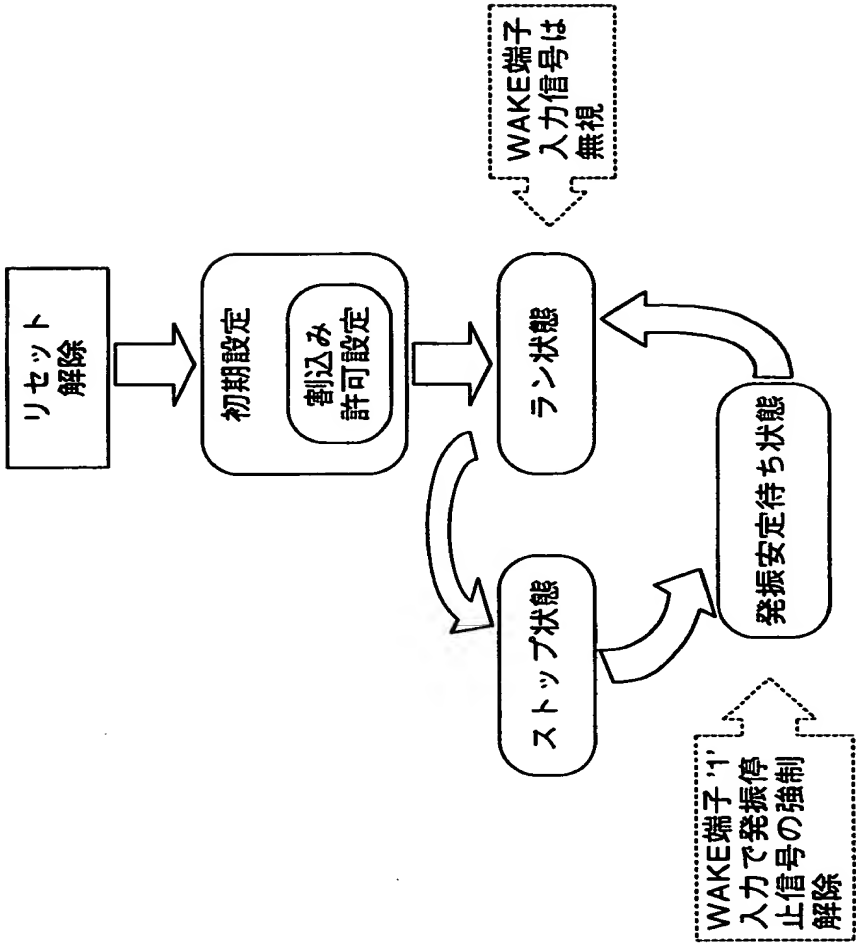
【図 1】

本発明にかかるマイクロコンピュータの要部を示すブロック構成図



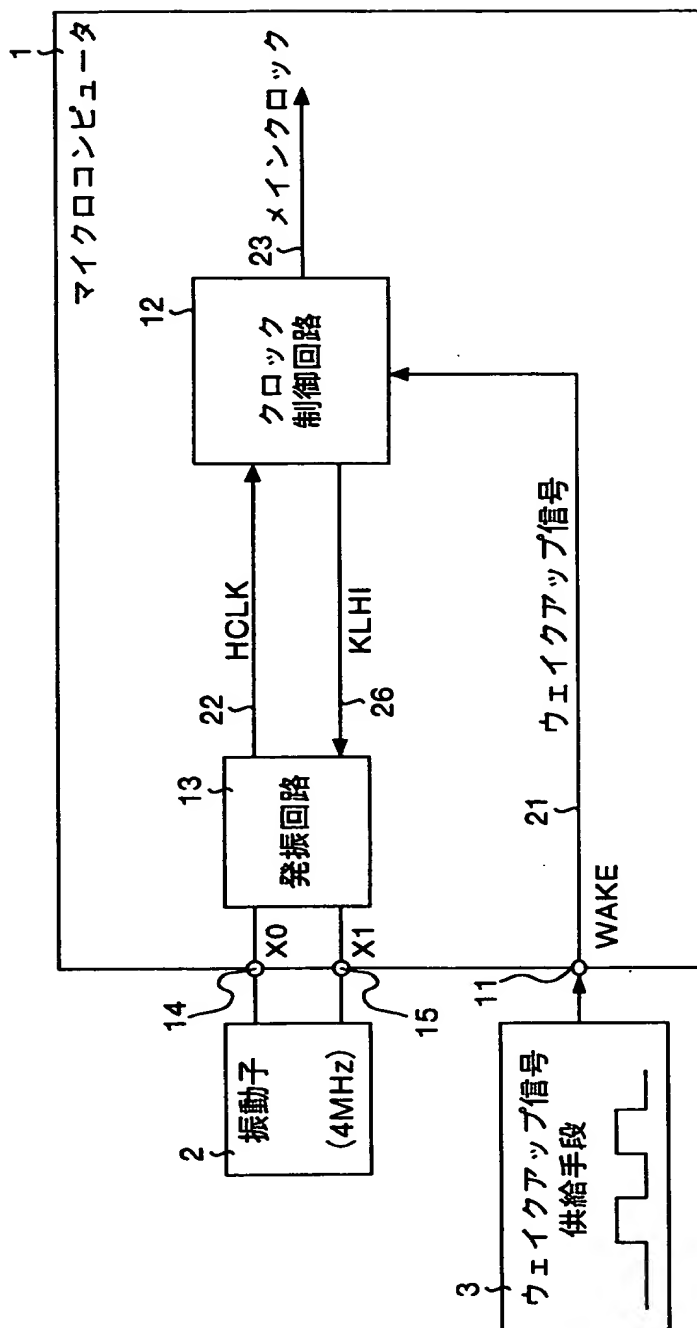
【図 2】

本発明にかかるマイクロコンピュータの動作状態の遷移を説明するための状態遷移図



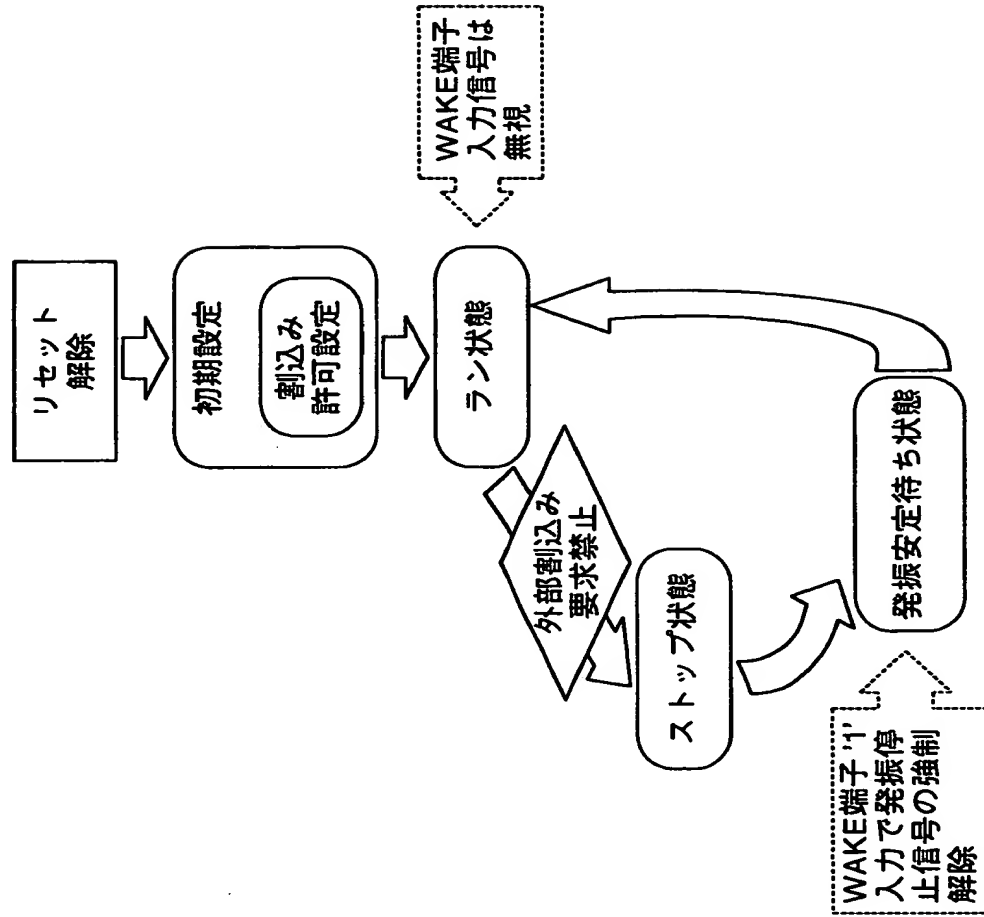
【図 3】

本発明の実施の形態 1 にかかるマイクロコンピュータの要部を示すブロック構成図



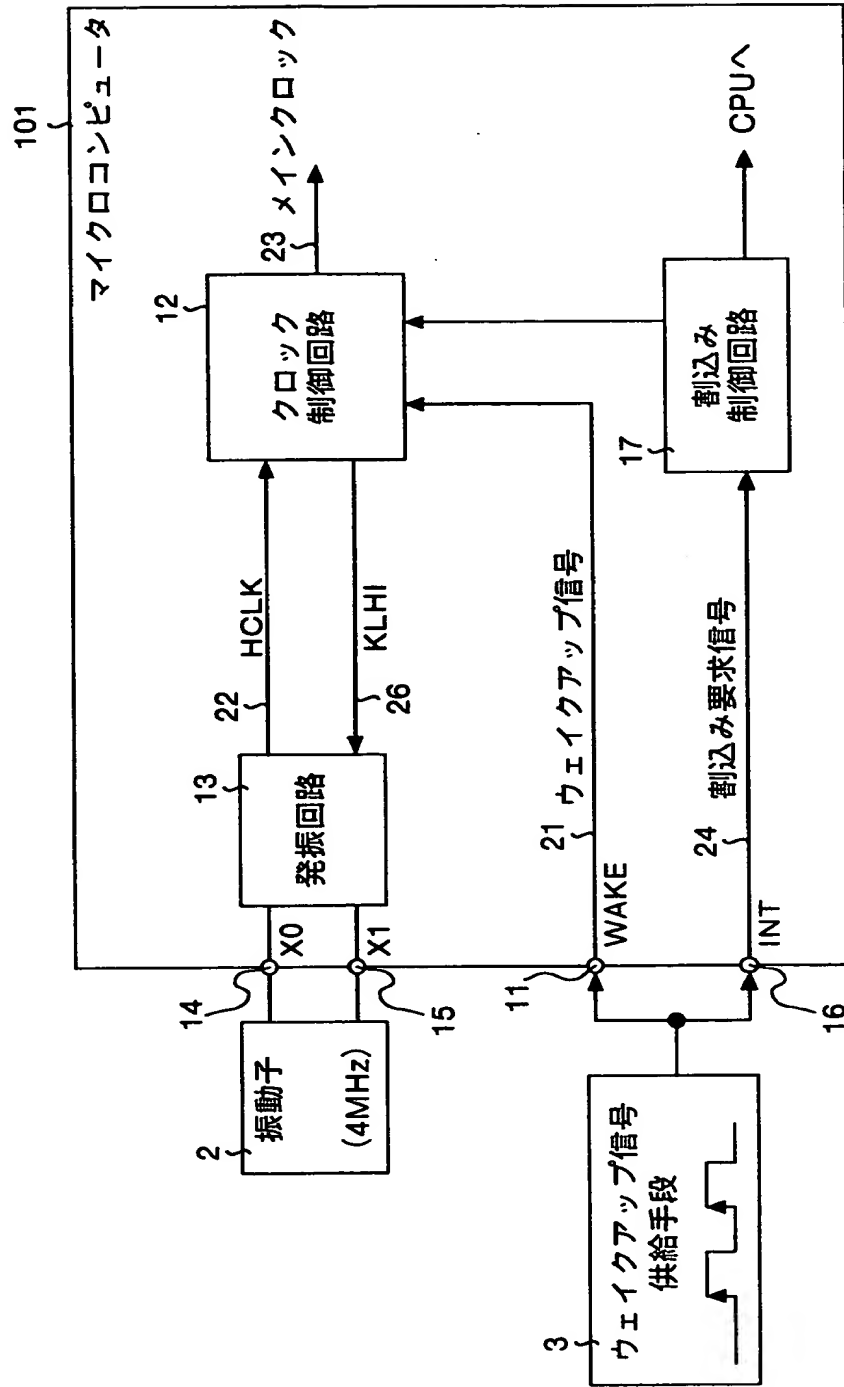
【図 4】

実施の形態 1 にかかるマイクロコンピュータの動作状態の遷移を説明するための状態遷移図



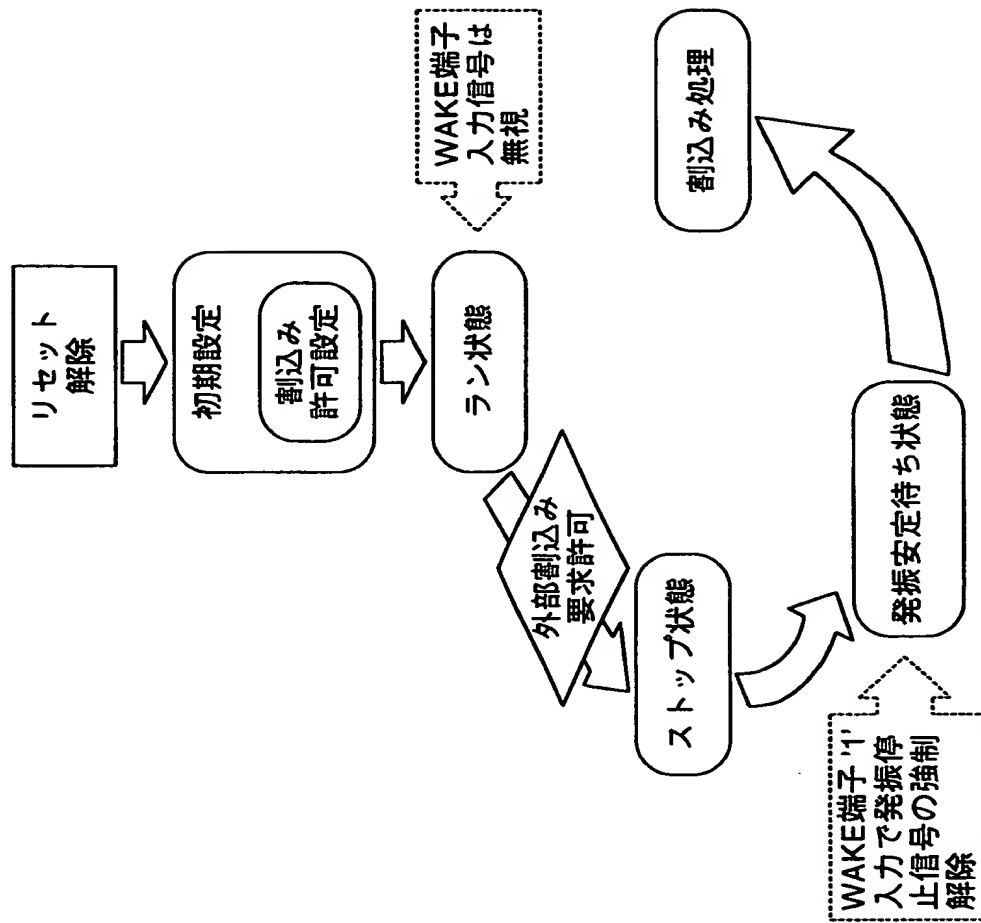
【図 5】

本発明の実施の形態 2 にかかるマイクロコンピュータの要部を示すブロック構成図



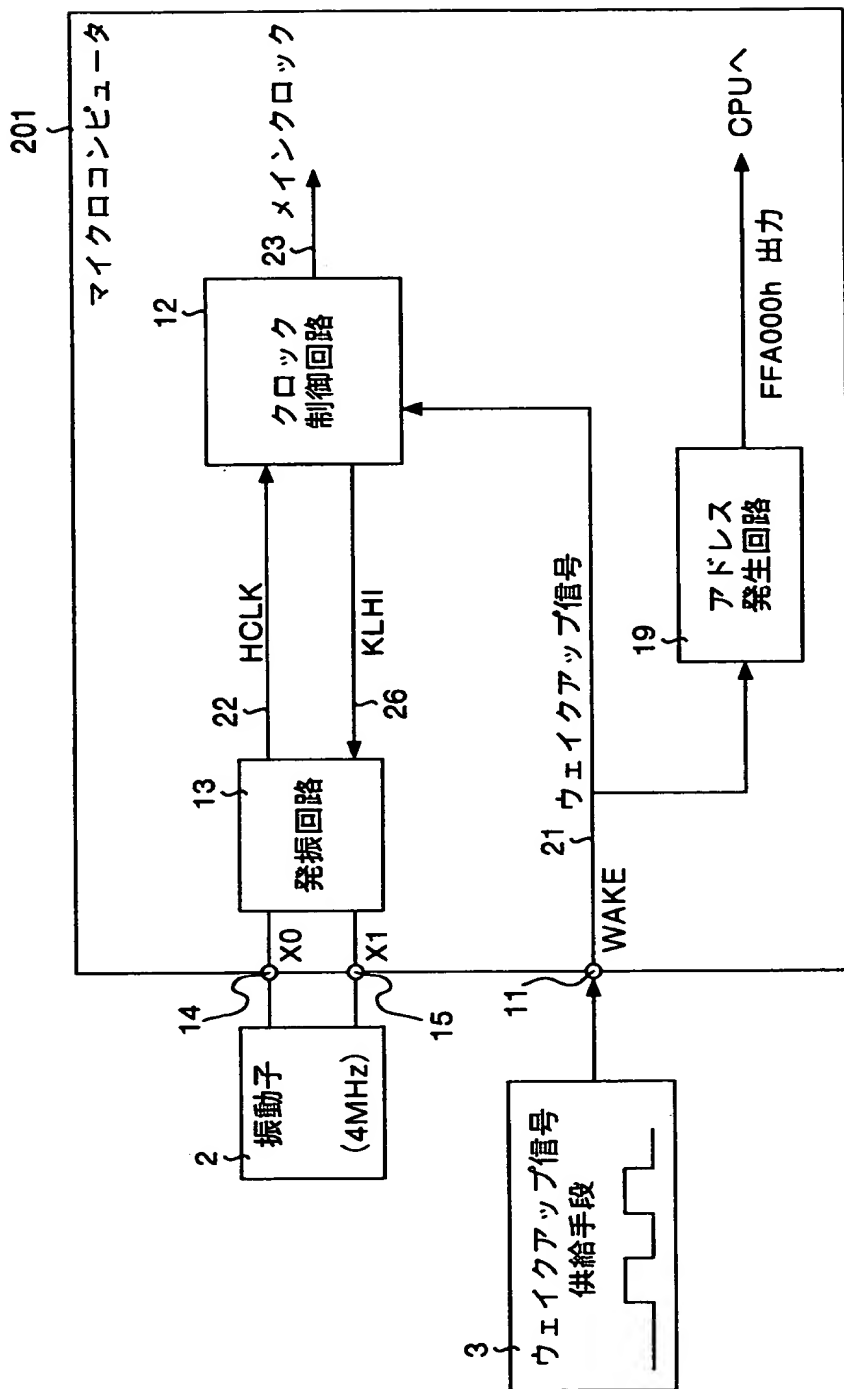
【図 6】

実施の形態 2 にかかるマイクロコンピュータの動作状態の遷移を説明するための状態遷移図



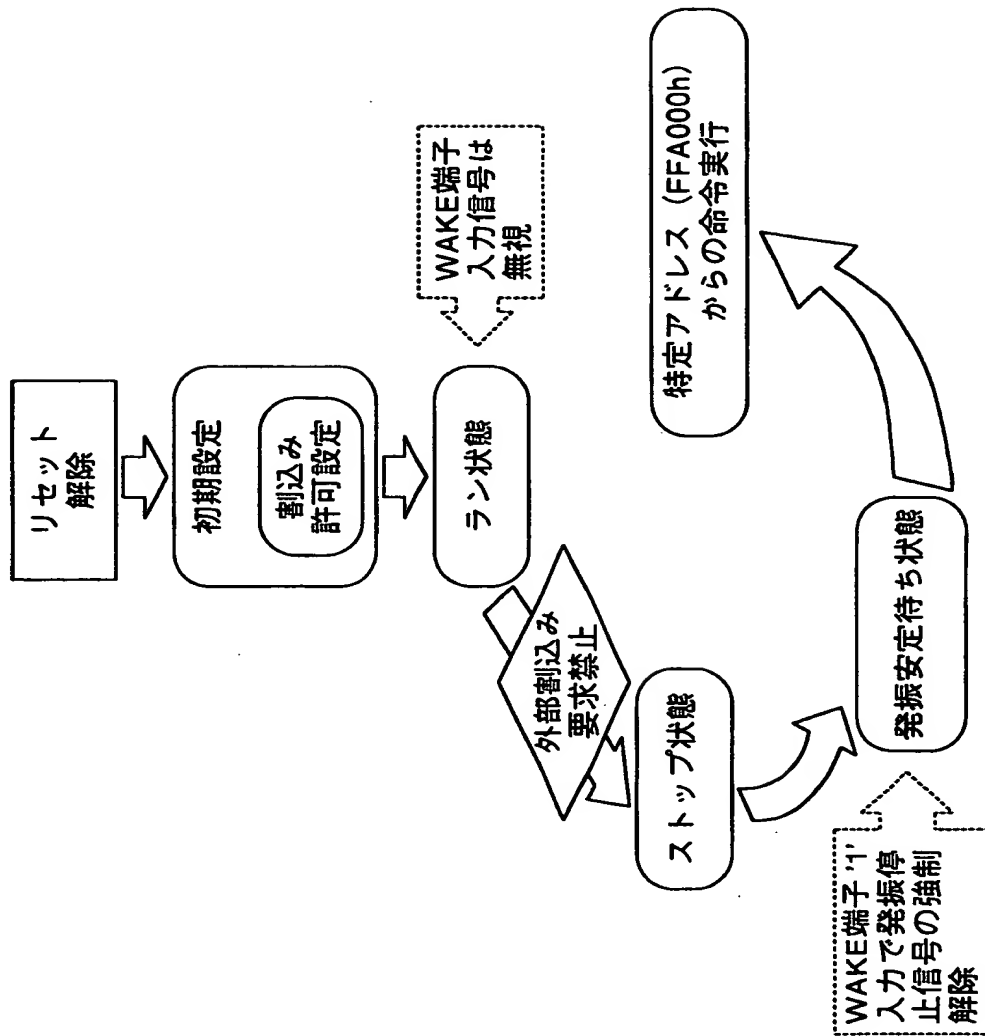
【図 7】

本発明の実施の形態 3 にかかるマイクロコンピュータの要部を示すブロック構成図



【図 8】

実施の形態 3 にかかるマイクロコンピュータの動作状態の遷移を説明するための状態遷移図



【書類名】 要約書

【要約】

【課題】 マイクロコンピュータにおいて、ソフトウェア要因が介在することなくハードウェアのみでストップ状態を解除することができ、それによってデッドロック状態を回避すること。

【解決手段】 外部から常に一定の周期でウェイクアップ信号 2 1 を入力させる。クロック制御回路 1 2 は、ウェイクアップ端子 1 1 を介してウェイクアップ信号 2 1 を受け取る。通常のラン状態では、その動作状態に影響をおよぼさないようにするため、クロック制御回路 1 2 は、入力されたウェイクアップ信号 2 1 を無視する。ストップ状態でクロック制御回路 1 2 にウェイクアップ信号 2 1 が入力されると、クロック制御回路 1 2 は、発振回路 1 3 に供給される発振停止信号 2 6 を強制的に解除する。発振停止信号 2 6 が解除されると発振回路 1 3 は発振を再開する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号

氏 名 富士通株式会社